

PAT-NO: JP02001035872A
DOCUMENT-IDENTIFIER: JP 2001035872 A
TITLE: MOUNTING STRUCTURE AND BUMP STRUCTURE OF
SEMICONDUCTOR
DEVICE
PUBN-DATE: February 9, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
MORI, SHIGERU	N/A
NARUI, JOSHI	N/A
ISHII, TSUGUHISA	N/A
INOUE, NORIHIRO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU TEN LTD	N/A

APPL-NO: JP11204789
APPL-DATE: July 19, 1999

INT-CL (IPC): H01L021/60

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent cracking of a bump at the solder joint of the electrode of a semiconductor device and a connection pattern formed on a substrate by arranging bumps densely at four corners of the semiconductor device as compared with other parts.

SOLUTION: A semiconductor device 20 is a face down mounting chip wherein an electronic circuit is formed on the lower surface of a silicon substrate and electrodes 21 for connecting the electronic circuit with a substrate 30 are formed at the bottom face art along with a pattern 24. Bumps 22 for

connection
with a connection pattern 31 formed on the substrate 30 are formed on
the
electrodes 21 and a pattern 31 for connection with the electrodes 21,
a pattern
32 for connection with dummy bumps 23 at four corners of the
semiconductor
device 20 and a circuit for connection with other electronic parts
are formed
oppositely to the bumps 22. According to the structure, connection
strength
can be enhanced at four corners of the semiconductor device 20 and
thermal
stress being applied to bumps 22 in the vicinity of four corners can
be
lessened.

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-35872
(P2001-35872A)

(43) 公開日 平成13年2月9日(2001.2.9)

(51) Int.Cl.⁷
H 0 1 L 21/60

識別記号

F I
H 0 1 L 21/92

テーマコード* (参考)

6 0 2 N
6 0 2 P

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21) 出願番号 特願平11-204789

(22) 出願日 平成11年7月19日(1999.7.19)

(71) 出願人 000237592

富士通テン株式会社
兵庫県神戸市兵庫区御所通1丁目2番28号

(72) 発明者 森 茂

兵庫県神戸市兵庫区御所通1丁目2番28号
富士通テン株式会社内

(72) 発明者 成井 譲司

兵庫県神戸市兵庫区御所通1丁目2番28号
富士通テン株式会社内

(72) 発明者 石井 嗣久

兵庫県神戸市兵庫区御所通1丁目2番28号
富士通テン株式会社内

最終頁に続く

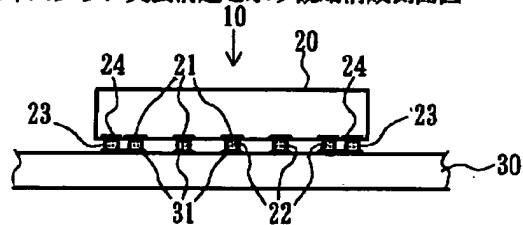
(54) 【発明の名称】 半導体素子の実装構造及びバンプの構造

(57) 【要約】

【課題】半導体素子が動作時に発生する熱による熱ストレスにより半導体素子の電極と基板に形成された接続パターンとのはんだ接合部のバンプにクラックが発生したり、接続パターンが剥離する等の不具合を防止して信頼性の高い半導体素子の実装構造を提供することを目的とする。

【解決手段】半導体素子に形成された複数の電極が複数のバンプを介して基板に形成された接続パターンに電気的に接続されてなる半導体素子の実装構造において、動作時に最も熱ストレスの加わる半導体素子の四隅部分には他の部分よりも密集してダミーバンプとバンプが配置されていることを特徴とする。

本発明の第1の実施の形態に係る半導体素子のフェイスダウン実装構造を示す概略構成側面図



【特許請求の範囲】

【請求項1】 半導体素子に形成された複数の電極が複数のバンパを介して基板に形成された接続パターンに電気的に接続されてなる半導体素子の実装構造において、前記半導体素子の四隅部分には他の部分よりも密集して前記バンパが配置されてなることを特徴とする半導体素子の実装構造。

【請求項2】 半導体素子に形成された複数の電極が複数のバンパを介して基板に形成された接続パターンに電気的に接続されてなる半導体素子の実装構造において、前記半導体素子の実装面の外周縁部には、素子側段差部が設けられ該素子側段差部の凹み部分に前記電極が形成され、且つ該実装面の四隅部分には他の部分よりも密集してバンパが配置されてなることを特徴とする半導体素子の実装構造。

【請求項3】 半導体素子に形成された複数の電極が複数のバンパを介して基板に形成された接続パターンに電気的に接続されてなる半導体素子の実装構造において、前記基板の実装面には、基板側段差部が設けられ該基板側段差部の凹み部分に前記半導体素子の電極と相対位置に前記接続パターンが形成されており、且つ該実装面の四隅部分には他の部分よりも密集してバンパが配置されてなることを特徴とする半導体素子の実装構造。

【請求項4】 半導体素子に形成された複数の電極が複数のバンパを介して基板に形成された接続パターンに電気的に接続されてなる半導体素子の実装構造において、前記半導体素子の実装面の外周縁部には、素子側段差部が設けられ該素子側段差部の凹み部分に前記電極が形成され、

前記基板の実装面には、基板側段差部が設けられ該基板側段差部の凹み部分に前記半導体素子の電極と相対位置に前記接続パターンが形成されており、且つ該実装面の四隅部分には他の部分よりも密集してバンパが配置されてなることを特徴とする半導体素子の実装構造。

【請求項5】 前記四隅部分のバンパにダミーバンパが用いられてなることを特徴とする請求項1乃至請求項4記載の半導体素子の実装構造。

【請求項6】 半導体素子に形成された複数の電極が複数のバンパを介して基板に形成された接続パターンに電気的に接続されてなる半導体素子の実装構造において、前記半導体素子の実装面の四隅部分にはバンパが設けられ、前記基板には該バンパと相対位置に該バンパの径より大きい径のスルーホールが形成されており、該バンパは該スルーホールを介して接続されてなることを特徴とする半導体素子の実装構造。

【請求項7】 電気接続に用いられるバンパの構造において、

耐熱性を有する弾性体樹脂部材で形成された樹脂球を核とし、該樹脂球の表面に銅めっき層が形成され、該銅めっき層の表面にはんだめっき層が形成されていることを

特徴とするバンパの構造。

【請求項8】 電気接続に用いられるバンパの構造において、耐熱性を有する弾性体樹脂部材で形成された樹脂球を核とし、該樹脂球の表面に銅めっき層が形成され、該銅めっき層の表面にニッケルめっき層が、該ニッケルめっき層の表面にはんだめっき層が形成されていることを特徴とするバンパの構造。

【請求項9】 電気接続に用いられるバンパの構造において、

球状に形成された金属球を核とし、該金属球の表面に耐熱性を有する弾性体樹脂部材でコーティングされた樹脂層が形成され、該樹脂層の表面に銅めっき層が、該銅めっき層の表面にニッケルめっき層が、該ニッケルめっき層の表面にはんだめっき層が形成されていることを特徴とするバンパの構造。

【請求項10】 前記弾性体樹脂部材には、ウレタン樹脂が用いられてなることを特徴とする請求項7、請求項8または請求項9記載のバンパの構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子の実装構造に係り、特にフェイスダウン実装に適した半導体素子、基板およびバンパの構造並びに半導体素子の実装構造に関する。

【0002】

【従来の技術】従来の半導体素子のフェイスダウン実装構造について図13を用いて説明する。図13は従来の半導体素子のフェイスダウン実装構造を示す概略構成側面図である。

【0003】100は半導体装置で、基板120にフェイスダウン実装（半導体素子110の電子回路側に形成された電極と基板120に形成された接続パターン121とを、はんだ又は接着剤等を用いて直接接続する方法）用の半導体素子110（シリコン等の半導体基材に電子回路が形成されたもの）等が実装されている。

【0004】半導体素子110はフェイスダウン実装用のチップで、シリコン基材の下面に電子回路が形成されており、該電子回路と基板120との接続用の電極111が底面部（図示下面）に形成されている。電極111には基板120に形成された接続パターン121との接続用のバンパ112（例えば、はんだボール）が形成されている。

【0005】基板120は半導体素子110等の電子部品を実装する基板で、半導体素子110の電極111と相対位置に、電極111と接続する接続パターン121およびその他の電子部品等との接続回路等が形成されている。

【0006】次に、半導体素子のフェイスダウン実装について説明する。

【0007】半導体素子110を基板120にフェイスダウン実装するには、基板120の接続パターン121部に例えば、はんだペーストを印刷し、印刷されたはんだペーストの上に、半導体素子110の電極111のバンプ112を合致させるように搭載する。その後はんだリフロー炉にてはんだペーストを溶解して、半導体素子110の電極111と基板120の接続パターン121とを電気的に接続する。これにより半導体素子110の電極111と基板120の接続パターン121との間にはんだ接合部が形成される。

【0008】

【発明が解決しようとする課題】しかし、上述の半導体素子110のフェイスダウン実装構造では、半導体装置100を動作させた際に半導体素子110が発熱し、その熱により半導体素子110の本体および基板120が各々熱膨張し、また、半導体装置100の動作を中止すると元の状態に戻る現象が繰り返される。特に、半導体素子110と基板120の熱膨張の差が大きい場合には、半導体素子110および基板120が変形し、半導体素子110と基板120とを電気的に接続しているはんだ接合部のバンプ112に熱ストレスが繰り返し加わる。その結果はんだ接合部のバンプ112にクラックが発生（特に、半導体素子110の周縁部のバンプ112に大きなストレスが加わる）し半導体装置100が動作しなくなるという問題がある。

【0009】本発明は上述の問題を解決するもので、半導体素子が動作時に発生する熱による熱ストレスにより半導体素子の電極と基板に形成された接続パターンとのはんだ接合部のバンプにクラックが発生したり、またはバンプが接続した接続パターンが剥離する等の不具合を防止して信頼性の高い半導体素子の実装構造を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明は上述の目的を達成するもので、半導体素子に形成された複数の電極が複数のバンプを介して基板に形成された接続パターンに電気的に接続されてなる半導体素子の実装構造において、前記半導体素子の四隅部分には他の部分よりも密集して前記バンプが配置されてなることを特徴とするものである。

【0011】また、半導体素子に形成された複数の電極が複数のバンプを介して基板に形成された接続パターンに電気的に接続されてなる半導体素子の実装構造において、前記半導体素子の実装面の外周縁部には、素子側段差部が設けられ該素子側段差部の凹み部分に前記電極が形成され、且つ該実装面の四隅部分には他の部分よりも密集してバンプが配置されてなることを特徴とするものである。

【0012】また、半導体素子に形成された複数の電極が複数のバンプを介して基板に形成された接続パターン

に電気的に接続されてなる半導体素子の実装構造において、前記基板の実装面には、基板側段差部が設けられ該基板側段差部の凹み部分に前記半導体素子の電極と相対位置に前記接続パターンが形成されており、且つ該実装面の四隅部分には他の部分よりも密集してバンプが配置されてなることを特徴とするものである。

【0013】また、半導体素子に形成された複数の電極が複数のバンプを介して基板に形成された接続パターンに電気的に接続されてなる半導体素子の実装構造において、前記半導体素子の実装面の外周縁部には、素子側段差部が設けられ該素子側段差部の凹み部分に前記電極が形成され、前記基板の実装面には、基板側段差部が設けられ該基板側段差部の凹み部分に前記半導体素子の電極と相対位置に前記接続パターンが形成されており、且つ該実装面の四隅部分には他の部分よりも密集してバンプが配置されてなることを特徴とするものである。

【0014】また、前記四隅部分のバンプにダミーバンプが用いられてなることを特徴とするものである。

【0015】また、半導体素子に形成された複数の電極が複数のバンプを介して基板に形成された接続パターンに電気的に接続されてなる半導体素子の実装構造において、前記半導体素子の実装面の四隅部分にはバンプが設けられ、前記基板には該バンプと相対位置に該バンプの径より大きい径のスルーホールが形成されており、該バンプは該スルーホールを介して接続されてなることを特徴とするものである。

【0016】また、電気接続に用いられるバンプの構造において、耐熱性を有する弾性体樹脂部材で形成された樹脂球を核とし、該樹脂球の表面に銅めっき層が形成され、該銅めっき層の表面にはんだめっき層が形成されていることを特徴とするものである。

【0017】また、電気接続に用いられるバンプの構造において、耐熱性を有する弾性体樹脂部材で形成された樹脂球を核とし、該樹脂球の表面に銅めっき層が形成され、該銅めっき層の表面にニッケルめっき層が、該ニッケルめっき層の表面にはんだめっき層が形成されていることを特徴とするものである。

【0018】また、電気接続に用いられるバンプの構造において、球状に形成された金属球を核とし、該金属球の表面に耐熱性を有する弾性体樹脂部材でコーティングされた樹脂層が形成され、該樹脂層の表面に銅めっき層が、該銅めっき層の表面にニッケルめっき層が、該ニッケルめっき層の表面にはんだめっき層が形成されていることを特徴とするものである。

【0019】また、前記弾性体樹脂部材には、ウレタン樹脂が用いられてなることを特徴とするものである。

【0020】

【発明の実施の形態】本発明の第1の実施の形態を図1および図2を用いて説明する。

【0021】図1は本発明の第1の実施の形態に係る半

導体素子のフェイスダウン実装構造を示す概略構成側面図である。図2は本発明の第1の実施の形態に係る半導体素子と基板との関係を示す平面図である。

【0022】10は半導体装置で、半導体素子20等の電子部品が基板30にフェイスダウン実装されている。

【0023】半導体素子20はフェイスダウン実装用のチップで、シリコン基材の下面に電子回路が形成されており、該電子回路と基板30との接続用の電極21およびパターン24が底面部（図示下面）に形成されている。電極21には基板30に形成された接続パターン31との接続用のバンパ22（例えば、はんだボール）が形成されている。尚、半導体素子20の四隅部分の接合部には他の接合部よりも熱ストレスが加わり易いので、最も熱ストレスの加わり易い位置に電子回路と電氣的に接続されていない補強用のダミーバンパ23（ダミーはんだボール）が配置されている。

【0024】基板30は半導体素子20等の電子部品を実装する基板で、実装面には半導体素子20の電極21即ちバンパ22と相対する位置に、電極21と接続する接続パターン31、半導体素子20の四隅部分のダミーバンパ23用の接続パターン32およびその他の電子部品等との接続回路等が形成されている。

【0025】次に、半導体素子のフェイスダウン実装について説明する。

【0026】半導体素子20を基板30にフェイスダウン実装するには、基板30の接続パターン31部にははんだペーストを印刷し、印刷されたはんだペーストの上に、半導体素子20の電極21のバンパ22およびダミーバンパ23を合致させるように搭載する。その後ははんだリフロー炉を通しはんだペーストを熔融して、半導体素子20の電極21と基板30の接続パターン31とを電氣的に接続する。これにより半導体素子20の電極21と基板30の接続パターン31との間に、はんだ接合部が形成される。

【0027】以上説明したように本実施の形態に係る半導体素子のフェイスダウン実装構造によれば、半導体素子20に最も熱ストレスの加わる四隅部分にダミーバンパ23設けることにより四隅部分の接続強度が補強され、四隅部分近傍のバンパ22へ加わる熱ストレスを軽減することができる。その結果、半導体装置10が動作時に半導体素子20等から発生する熱により、半導体素子20の本体および基板30に膨張・収縮によるストレスが発生してもこのストレスを吸収することができる。従って、半導体素子20の電極21と接続パターン31との間を電氣的に接続しているはんだ接合部のバンパ22に、無理なストレスが加わるのを防止することができるので、バンパ22にクラックが発生するのを防止し、信頼性の高い半導体装置10を得ることができる。

【0028】尚、半導体素子20の四隅部分にダミーバンパ23を設けたが、その他にダミーバンパ23を用い

ずに、四隅部分のバンパ22を他の部分のバンパ22の配置よりも密に配置することにより、四隅部分のバンパ22に集中して加わる熱ストレスを分散させることができるので、はんだ接合部のバンパ22に無理な熱ストレスが加わるのを防止することができる。

【0029】次に、本発明の第2の実施の形態を図3および図4を用いて説明する。

【0030】図3は本発明の第2の実施の形態に係る半導体素子のフェイスダウン実装構造を示す概略構成側面図である。図4は本発明の第2の実施の形態に係る半導体素子と基板との関係を示す平面図である。尚、第2の実施の形態は第1の実施の形態の半導体素子の一部を変更したもので、その他については第1の実施の形態と略同じであるので、同じ構成については同じ符号を付し説明を省略する。

【0031】11は半導体装置で、半導体素子40等の電子部品が基板30にフェイスダウン実装されている。

【0032】半導体素子40はフェイスダウン実装用のチップで、シリコン基材の下面に電子回路が形成されており、該電子回路と基板30との接続用の電極42が底面部（図示下面）に形成されている。電極42には基板30に形成された接続パターン31との接続用のバンパ44（例えば、はんだボール）が形成されている。また、半導体素子20の実装面の外縁部（例えば、4隅部）には素子側段差部41が設けられ、その素子側段差部41の上段下面には基板30に形成された接続パターン31と接続する電極43とダミーバンパ46用のパターン47が形成されている。従って、外縁部の電極43と接続パターン31との接続用のバンパ45とダミーバンパ46とは、その他の部分のバンパ44よりも大きくすることができる。

【0033】以上説明したように本実施の形態に係る半導体素子40のフェイスダウン実装構造によれば、半導体素子40の外縁部に素子側段差部41を設けることにより外縁部の電極43のバンパ45およびパターン47のダミーバンパ46を、その他の部分のバンパ44よりも大きくすることができるので、ダミーバンパ46およびバンパ45の剪断応力が増大する。半導体装置11は、動作時に半導体素子40等から発生する熱により、半導体素子40の本体および基板30に膨張・収縮によるストレスが発生するが、最もストレスが加わる外縁部のダミーバンパ46およびバンパ45の剪断応力が増大するので、半導体素子40の電極42、43と接続パターン31との間を電氣的に接続しているはんだ接合部のバンパ44、45およびダミーバンパ46にクラックが発生するのを防止し、信頼性の高い半導体装置11を得ることができる。

【0034】尚、半導体素子40の四隅部分にダミーバンパ46を設けたが、その他にダミーバンパ64を用いずに、四隅部分のバンパ43を他の部分のバンパ43の

配置よりも密に配置することにより、四隅部分のバンプ43に集中して加わる熱ストレスを分散させることができるので、はんだ接合部のバンプ43に、無理な熱ストレスが加わるのを防止することができる。

【0035】次に、本発明の第3の実施の形態を図5および図6を用いて説明する。

【0036】図5は本発明の第3の実施の形態に係る半導体素子のフェイスダウン実装構造を示す概略構成側面図である。図6は本発明の第3の実施の形態に係る半導体素子と基板との関係を示す平面透視図である。尚、第3の実施の形態は第1の実施の形態の基板の一部を変更したもので、その他については第2の実施の形態と略同じであるので、同じ構成については同じ符号を付し説明を省略する。

【0037】12は半導体装置で、半導体素子50等の電子部品が基板30にフェイスダウン実装されている。

【0038】半導体素子50はフェイスダウン実装用のチップで、シリコン基材の下面に電子回路が形成されており、該電子回路と基板33との接続用の電極51およびダミーバンプ55（例えば、はんだボール）用のパターン53が底面部（図示下面）に形成されている。電極51には基板33に形成された接続パターン35との接続用のバンプ52（例えば、はんだボール）が形成されている。尚、半導体素子50の四隅部分の接合部には他の接合部よりも熱ストレスが加わり易いので、最も熱ストレスの加わり易い位置に電子回路と電気的に接続されていない補強用のダミーバンプ55が配置されている。

【0039】基板33は半導体素子50等の電子部品を実装する基板で、実装面には半導体素子50の電極51およびパターン53と相対する位置に、電極51と接続する接続パターン35、36およびその他の電子部品等との接続回路等が形成されている。また、基板33の実装面には、半導体素子50の外縁部に構成される電極51と相対する位置に基板側段差部34が設けられており、その基板側段差部34の下段上面には電極51と接続する接続パターン36が形成されている。従って、外縁部の電極51と接続パターン36とを接続するバンプ52とダミーバンプ55とは、その他の部分のバンプ22よりも大きくすることができる。

【0040】以上説明したように本実施の形態に係る半導体素子のフェイスダウン実装構造によれば、基板33に基板側段差部34を設けることにより半導体素子50の外縁部の電極51のバンプ52とダミーバンプ55とを、その他の部分のバンプ52よりも大きくすることができるので、バンプ52とダミーバンプ55の剪断応力が増大する。その結果、半導体装置12が動作時に発生する熱により、半導体素子50の本体および基板33に膨張・収縮によるストレスが発生するが、最もストレスが加わる外縁部のバンプ52とダミーバンプ55の剪断応力が増大するので、半導体素子50の電極51と接続

パターン35、36との間を電気的に接続しているはんだ接合部のバンプ52およびダミーバンプ55にクラックが発生するのを防止し信頼性の高い半導体装置12を得ることができる。

【0041】次に、本発明の第4の実施の形態を図7および図8を用いて説明する。

【0042】図7は本発明の第4の実施の形態に係る半導体素子のフェイスダウン実装構造を示す概略構成側面図である。図8は本発明の第4の実施の形態に係る半導体素子と基板との関係を示す平面透視図である。尚、第4の実施の形態は第2、第3の実施の形態のバンプの一部を変更したもので、その他については第2、第3の実施の形態と略同じであるので、同じ構成については同じ符号を付し説明を省略し第4の実施の形態では半導体素子のフェイスダウン実装について説明する。

【0043】13は半導体装置で、半導体素子40等の電子部品が基板33にフェイスダウン実装されている。

【0044】次に、半導体素子のフェイスダウン実装について説明する。

【0045】半導体素子40を基板33にフェイスダウン実装するには、基板33の接続パターン35、36部にはんだペーストを印刷し、印刷されたはんだペーストの上に、半導体素子40の電極43のバンプ44、57およびダミーバンプ58を合致させるように搭載する。その後はんだリフロー炉を通してはんだペーストを溶融して、半導体素子40の電極43と基板33の接続パターン35、36とを電気的に接続する。これにより半導体素子40の電極43と基板33の接続パターン35、36との間にはんだ接合部が形成される。

【0046】以上説明したように本実施の形態に係る半導体素子40のフェイスダウン実装構造によれば、半導体素子40の外縁部に素子側段差部41を設け、また、基板33に基板側段差部34を設けることにより外縁部の電極43およびダミーバンプ58用のパターン47と接続パターン36とを接続するバンプ57とダミーバンプ58を、その他の部分のバンプ44よりも大幅に大きくすることができるので、バンプ57とダミーバンプ58の剪断応力が更に増大される。その結果、半導体装置13が動作時に発生する熱により、半導体素子40の本体および基板33の膨張・収縮によるストレスが発生する。しかし、最もストレスが加わる外縁部のダミーバンプ58とバンプ57の剪断応力が増大するので、半導体素子40の電極43およびパターン47と接続パターン35、36との間を電気的に接続しているはんだ接合部のバンプ57とダミーバンプ58にクラックが発生するのを防止し信頼性の高い半導体装置13を得ることができる。

【0047】次に、本発明の第5の実施の形態を図9を用いて説明する。

【0048】図9は本発明の第5の実施の形態に係る半

導体素子のフェイスダウン実装構造を示す概略構成側面図である。

【0049】半導体素子60はフェイスダウン実装用のチップで、シリコン基材の下面に電子回路が形成されており、該電子回路と基板65との接続用の電極61とパターン64が底面部(図示下面)に形成されている。電極61には基板65に形成された接続パターン66との接続用のバンパ62(例えば、はんだボール)が、また、半導体素子60に最も熱ストレスの加わる四隅部分の電極64には基板65に形成されたスルーホール67との接続用のダミーバンパ63(例えば、はんだボール)が形成されている。尚、ダミーバンパ63の径はバンパ62の径より大きく形成されている。

【0050】基板65は半導体素子60等の電子部品を実装する基板で、実装面には半導体素子60の電極61即ちバンパ62と相対する位置に、バンパ62と接続する接続パターン66と、ダミーバンパ63と接続するスルーホール67およびその他の電子部品等との接続回路等が形成されている。尚、スルーホール67の径はダミーバンパ63の径よりも大きく形成されている。

【0051】次に、半導体素子のフェイスダウン実装について説明する。

【0052】半導体素子60を基板65にフェイスダウン実装するには、基板65の接続パターン66部にはんだペーストを印刷し、印刷されたはんだペーストの上に、半導体素子60の電極61のバンパ62を合致させるように搭載する。その後はんだリフロー炉を通しはんだペーストを溶融して、半導体素子60の電極61と基板65の接続パターン66とを電気的に接続する。これにより半導体素子60の電極61と基板65の接続パターン31との間にはんだ接合部が形成される。次に、半導体素子60の電極64のダミーバンパ63と基板65のスルーホール67を接続するために、基板65の下面側(スルーホール67側)よりフローディップはんだ付けや、はんだ付けロボット或いは手はんだ付け等によりスルーホール67をはんだ68で充填させてダミーバンパ63と接続固定する。

【0053】以上説明したように本実施の形態に係る半導体素子のフェイスダウン実装構造によれば、半導体素子60に最も熱ストレスの加わる四隅部分に設けられたダミーバンパ63の一部が、基板65側に設けられたスルーホール67に嵌まり込む形となりはんだ付けされるので、四隅部分の接続強度がさらに補強され、四隅部分近傍のバンパ62へ加わる熱ストレスを軽減することができる。その結果、半導体装置14が動作時に発生する熱により、半導体素子60の本体および基板65に膨張・収縮によるストレスが発生してもこのストレスを吸収することができる。従って、半導体素子60の電極61と接続パターン66との間を電気的に接続しているはんだ接合部のバンパ62に、無理な熱ストレスが加わるの

を防止することができるので、バンパ62にクラックが発生するのを防止し、信頼性の高い半導体装置14を得ることができる。

【0054】尚、半導体素子60の四隅部分にダミーバンパ63を設けたが、その他にダミーバンパ63を用いずに、四隅部分のバンパ62を他の部分のバンパ62の配置よりも密に配置することにより、四隅部分のバンパ62に集中して加わる熱ストレスを分散させることができるので、はんだ接合部のバンパ62に、無理な熱ストレスが加わるのを防止することができる。

【0055】次に、本発明の第6の実施の形態を図10を用いて説明する。

【0056】図10は本発明の第6の実施の形態に係る半導体素子のフェイスダウン実装用バンパの概略構造を示す断面図である。

【0057】70は半導体素子に形成された電極と基板に形成された接続パターンとを電気的に接続する小球のバンパである。バンパ70は、耐熱性を有する弾性体樹脂(例えばウレタン部材)で球状に形成されたウレタンボール71(樹脂球に相当)を核とし、その核となるウレタンボール71の表面には導電性の銅めっき層72が形成されており、銅めっき層72の表面には、はんだ付け性を向上させるためのはんだめっき層73が形成されている。

【0058】以上説明したように本実施の形態に係る半導体素子のフェイスダウン実装用バンパ70によれば、バンパ70の核部に耐熱性を有する弾性体のウレタン部材が用いられているので、半導体装置が動作時に発生する熱により半導体素子の本体および基板の膨張・収縮により発生するストレスや外的な衝撃が加わった場合でもウレタンボール71で吸収することができる。従って、バンパ70にクラックが発生したり、基板の接続パターンの剥離等の不具合を防止し信頼性の高い半導体装置を得ることができる。

【0059】次に、本発明の第7の実施の形態を図11を用いて説明する。

【0060】図11は本発明の第7の実施の形態に係る半導体素子のフェイスダウン実装用バンパの概略構造を示す断面図である。

【0061】80は半導体素子に形成された電極と基板に形成された接続パターンとを電気的に接続する小球のバンパである。バンパ80は、耐熱性を有する弾性体樹脂(例えばウレタン部材)で球状に形成されたウレタンボール81(樹脂球に相当)を核とし、その核となるウレタンボール81の表面には導電性の銅めっき層82が形成されており、銅めっき層82の表面にははんだ付けの際に銅が拡散するのを防止するためのニッケルめっき層83が形成され、ニッケルめっき層83の表面には、はんだ付け性を向上させるためのはんだめっき層84が形成されている。

【0062】以上説明したように本実施の形態に係る半導体素子のフェイスダウン実装用バンパ80によれば、バンパ80の核部に耐熱性を有する弾性体のウレタン部材が用いられているので、半導体装置が動作時に発生する熱により半導体素子の本体および基板の膨張・収縮により発生するストレスや外的な衝撃が加わった場合でもウレタンボール81で吸収することができる。従って、バンパ80にクラックが発生したり基板の接続パターンとの剥離等の不具合を防止し信頼性の高い半導体装置を得ることができる。

【0063】次に、本発明の第8の実施の形態を図12を用いて説明する。

【0064】図12は本発明の第8の実施の形態に係る半導体素子のフェイスダウン実装用バンパの概略構造を示す断面図である。

【0065】90は半導体素子に形成された電極と基板に形成された接続パターンとを電気的に接続する小球のバンパである。バンパ90は、金属（例えば黄銅）で球状に形成された金属球91を核とし、その核となる金属球91の表面にはウレタン部材をコーティングしてウレタンコーティング層92を形成し、ウレタンコーティング層92の表面には導電性の銅めっき層93が形成されており、銅めっき層93の表面には、はんだ付けの際に銅が拡散するのを防止するためのニッケルめっき層94が形成されており、ニッケルめっき層94の表面には、はんだ付け性を向上させるためのはんだめっき層95が形成されている。

【0066】以上説明したように本実施の形態に係る半導体素子のフェイスダウン実装用バンパ90によれば、バンパ90の核部の金属球91の表面にウレタン部材をコーティングしてウレタンコーティング層92が形成されているので半導体装置が動作時に発生する熱により半導体素子の本体および基板の膨張・収縮により発生するストレスや外的な衝撃が加わった場合でもウレタンコーティング層92で吸収することができる。従って、バンパ90にクラックが発生したり基板の接続パターンとの剥離等の不具合を防止し信頼性の高い半導体装置を得ることができる。尚、本実施の形態に係るバンパ90の核部の金属球91の材料に黄銅を用いたが、これに限らずその他の金属部材例えばアルミニウム部材、銅材または高温はんだ部材等を用いてもよい。

【0067】

【発明の効果】以上説明したように本発明によれば、半導体素子の動作時に発生する熱により発生する半導体素子および基板の変形によるストレスや外的な衝撃を吸収することができるので、半導体素子の電極と基板に形成された接続パターンとはんだ接合部に加わるストレスを防止し、はんだ接合部のバンパにクラックが発生するのを防止して信頼性の高い半導体素子の実装構造およびバンパの構造を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体素子のフェイスダウン実装構造を示す概略構成側面図である。

【図2】本発明の第1の実施の形態に係る半導体素子と基板との関係を示す平面透視図である。

【図3】本発明の第2の実施の形態に係る半導体素子のフェイスダウン実装構造を示す概略構成側面図である。

【図4】本発明の第2の実施の形態に係る半導体素子と基板との関係を示す平面透視図である。

10 【図5】本発明の第3の実施の形態に係る半導体素子のフェイスダウン実装構造を示す概略構成側面図である。

【図6】本発明の第3の実施の形態に係る半導体素子と基板との関係を示す平面透視図である。

【図7】本発明の第4の実施の形態に係る半導体素子のフェイスダウン実装構造を示す概略構成側面図である。

【図8】本発明の第4の実施の形態に係る半導体素子と基板との関係を示す平面透視図である。

【図9】本発明の第5の実施の形態に係る半導体素子のフェイスダウン実装構造を示す概略構成側面図である。

20 【図10】本発明の第6の実施の形態に係る半導体素子のフェイスダウン実装用バンパの概略構造を示す断面図である。

【図11】本発明の第7の実施の形態に係る半導体素子のフェイスダウン実装用バンパの概略構造を示す断面図である。

【図12】本発明の第8の実施の形態に係る半導体素子のフェイスダウン実装用バンパの概略構造を示す断面図である。

30 【図13】従来の半導体素子のフェイスダウン実装構造を示す概略構成側面図である。

【符号の説明】

10, 11, 12, 13, 14・・・半導体装置

20, 40, 50, 60・・・半導体素子

21, 42, 43, 51, 61・・・電極

22, 44, 45, 52, 53, 54, 57, 62・・・バンパ

23, 46, 58, 63・・・ダミーバンパ

24, 47, 53, 64・・・パターン

30, 33, 65・・・基板

31, 32, 35, 36, 66・・・接続パターン

34・・・基板側段差部

41・・・素子側段差部

67・・・スルーホール

68・・・はんだ

70, 80, 90・・・バンパ

71, 81・・・ウレタンボール

72, 82, 93・・・銅めっき層

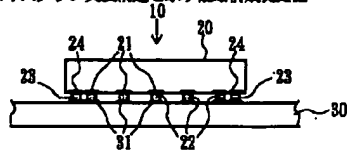
73, 84, 95・・・はんだめっき層

83, 94・・・ニッケルめっき層

50 91・・・金属球

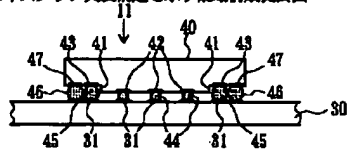
【図1】

本発明の第1の実施の形態に係る半導体素子のフェイスダウン実装構造を示す概略構成側面図



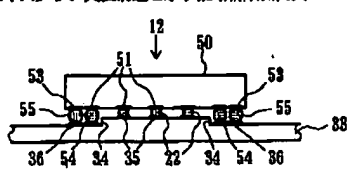
【図3】

本発明の第2の実施の形態に係る半導体素子のフェイスダウン実装構造を示す概略構成側面図



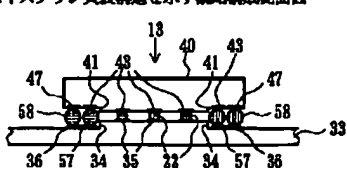
【図5】

本発明の第3の実施の形態に係る半導体素子のフェイスダウン実装構造を示す概略構成側面図



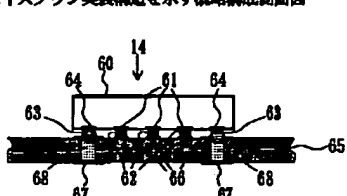
【図7】

本発明の第4の実施の形態に係る半導体素子のフェイスダウン実装構造を示す概略構成側面図



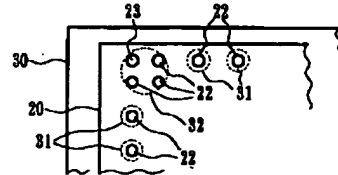
【図9】

本発明の第5の実施の形態に係る半導体素子のフェイスダウン実装構造を示す概略構成側面図



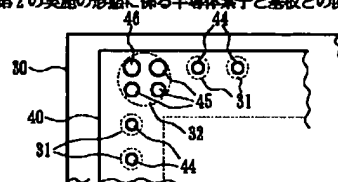
【図2】

本発明の第1の実施の形態に係る半導体素子と基板との関係を示す平面透視図



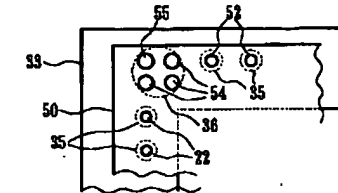
【図4】

本発明の第2の実施の形態に係る半導体素子と基板との関係を示す平面透視図



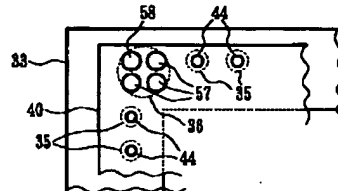
【図6】

本発明の第3の実施の形態に係る半導体素子と基板との関係を示す平面透視図



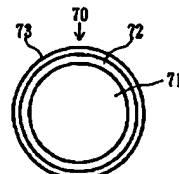
【図8】

本発明の第4の実施の形態に係る半導体素子と基板との関係を示す平面透視図



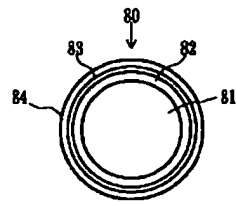
【図10】

本発明の第6の実施の形態に係る半導体素子のフェイスダウン実装用パンプの概略構造を示す断面図



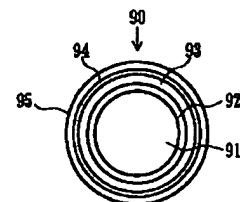
【図11】

本発明の第1の実施の形態に係る半導体素子のフェイスダウン実装用
パンプの概略構造を示す断面図



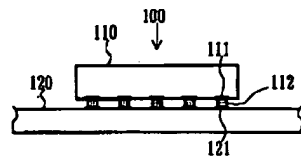
【図12】

本発明の第2の実施の形態に係る半導体素子のフェイスダウン実装用
パンプの概略構造を示す断面図



【図13】

従来の半導体素子のフェイスダウン実装構造を示す概略構成側面図



フロントページの続き

(72)発明者 井上 則宏
兵庫県神戸市兵庫区御所通1丁目2番28号
富士通テン株式会社内